

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yasuyuki HORI

Application No.:

Group Art Unit:

Filed: February 12, 2004

Examiner:

For: MICROCONTROLLER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-186518

Filed: June 30, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 12, 2004

By: 

H. J. Staas

Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月30日
Date of Application:

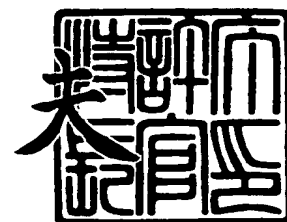
出願番号 特願2003-186518
Application Number:
[ST. 10/C]: [JP 2003-186518]

出願人 富士通株式会社
Applicant(s):

2003年12月11日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3103050



【書類名】 特許願

【整理番号】 0340654

【提出日】 平成15年 6月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/06

【発明の名称】 マイクロコントローラ

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 堀 泰之

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 マイクロコントローラ

【特許請求の範囲】

【請求項 1】 通常動作モードおよび書き換えモードのいずれかを示すモード信号を受けるモード端子と、

前記書き換えモード中に実行されるプログラムが書き込まれている内蔵不揮発性メモリと、

アドレス信号を順次生成するとともに、前記アドレス信号が第 1 領域を示すときに第 1 チップセレクト信号を活性化し、前記書き換えモード中に前記内蔵不揮発性メモリに格納されているプログラムに基づいて書き換えデータを受信し、受信した書き換えデータを、マイクロコントローラに接続される電氣的に書き換え可能な外部不揮発性メモリに書き込む CPU コアと、

前記モード信号を選択端子で受け、前記モード信号が前記通常動作モードを示すときに前記第 1 チップセレクト信号を前記外部不揮発性メモリに伝え、前記モード信号が前記書き換えモードを示すときに前記第 1 チップセレクト信号を前記内部不揮発性メモリに伝える第 1 セレクタ回路とを備えていることを特徴とするマイクロコントローラ。

【請求項 2】 請求項 1 記載のマイクロコントローラにおいて、

前記 CPU コアによりアクセスされる内蔵揮発性メモリを備え、

前記内蔵不揮発性メモリは、前記外部不揮発性メモリに書き込まれる前記書き換えデータを前記内部揮発性メモリに転送する転送プログラムと、前記外部不揮発性メモリに前記書き換えデータを書き込む書き換えプログラムとを予め記憶しており、

前記 CPU コアは、前記書き換えモード中に、前記転送プログラムを実行することで、前記書き換えデータを前記内部揮発性メモリに転送し、前記書き換えプログラムを実行することで、転送した前記書き換えデータを前記外部不揮発性メモリに書き込むことを特徴とするマイクロコントローラ。

【請求項 3】 請求項 1 記載のマイクロコントローラにおいて、

前記 CPU コアによりアクセスされる内蔵揮発性メモリを備え、



前記内蔵不揮発性メモリは、前記外部不揮発性メモリに書き込まれる前記書き換えデータと、前記外部不揮発性メモリに前記書き換えデータを書き込む書き換えプログラムとを、前記内部揮発性メモリに転送する転送プログラムを予め記憶しており、

前記CPUコアは、前記転送プログラムを実行することで、前記書き換えデータおよび前記書き換えプログラムを前記内部揮発性メモリに転送し、前記内部揮発性メモリに転送された前記書き換えプログラムを実行することで、前記内部揮発性メモリに転送された前記書き換えデータを前記外部不揮発性メモリに書き込むことを特徴とするマイクロコントローラ。

【請求項4】 請求項1記載のマイクロコントローラにおいて、

前記CPUコアは、前記外部不揮発性メモリへの前記書き換えデータの書き込み完了に応答してモード切替信号を出力し、

マイクロコントローラは、前記モード切替信号を受けたときに、前記モード端子を介して入力される前記モード信号を無効にし、前記第1セクタ回路の前記選択端子に前記通常動作モードを示すレベルを強制的に出力するセクタ制御回路を備えていることを特徴とするマイクロコントローラ。

【請求項5】 請求項1記載のマイクロコントローラにおいて、

前記CPUコアは、前記アドレス信号が第2領域を示すときに第2チップセレクト信号を活性化し、

マイクロコントローラは、前記モード信号を選択端子で受け、前記モード信号が前記通常動作モードを示すときに前記第2チップセレクト信号をマイクロコントローラに接続される外部揮発性メモリに伝え、前記モード信号が前記書き換えモードを示すときに前記第2チップセレクト信号を前記外部不揮発性メモリに伝える第2セクタ回路を備えていることを特徴とするマイクロコントローラ。

【請求項6】 請求項5記載のマイクロコントローラにおいて、

前記CPUコアは、前記外部不揮発性メモリへの前記書き換えデータの書き込み完了に応答してモード切替信号を出力し、

マイクロコントローラは、前記モード切替信号を受けたときに、前記モード端子を介して入力される前記モード信号を無効にし、前記第1および第2セクタ

回路の前記選択端子に前記通常動作モードを示すレベルを強制的に出力するセレクタ制御回路を備えていることを特徴とするマイクロコントローラ。

【請求項 7】 請求項 1 記載のマイクロコントローラにおいて、

前記外部不揮発性メモリに書き込まれる前記書き換えデータを外部端子を介して受信するインタフェース回路を備え、

前記 CPU コアは、前記プログラムに基づいて前記インタフェース回路を制御して前記書き換えデータを受信することを特徴とするマイクロコントローラ。

【請求項 8】 請求項 7 記載のマイクロコントローラにおいて、

前記 CPU コアによりアクセスされる内蔵揮発性メモリを備え、

前記 CPU コアは、前記書き換えモード中に、前記書き換えデータを前記インタフェース回路を介して前記内蔵揮発性メモリに転送することを特徴とするマイクロコントローラ。

【請求項 9】 請求項 1 記載のマイクロコントローラにおいて、

前記 CPU コアは、パワーオン時の最初に第 1 領域を示す前記アドレス信号を生成することを特徴とするマイクロコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコントローラに接続されるフラッシュメモリ等の電氣的に書き換え可能な外部不揮発性メモリのデータの書き換えを容易にする技術に関する。

【0002】

【従来の技術】

システム基板上に実装されたフラッシュメモリ等の外部不揮発性メモリのデータの書き換えは、外部不揮発性メモリをシステム基板から取り外し、取り外した外部不揮発性メモリをフラッシュライタ等の専用の書き換え装置に取り付けることで行っている。外部不揮発性メモリは、データの書き換え時にシステム基板から容易に取り外せるように、IC ソケットを介してシステム基板に実装される。このため、システム基板の面積は、IC ソケットの実装により増加し、システム

コストは増加する。

【0003】

このような不具合を解消するため、外部不揮発性メモリ内に、この外部不揮発性メモリのデータを書き換えるための書き換えプログラムを予め書き込んでおき、データの書き換え時に、書き換えプログラムを揮発性メモリにコピーする手法が提案されている（例えば、特許文献1参照）。この手法では、揮発性メモリ上の書き換えプログラムを実行することで、データは、外部不揮発性メモリをシステム基板から取り外すことなく書き換えられる。

【0004】

また、マイクロプロセッサ内にCPUコアと上記書き換えプログラムが書き込まれた内蔵不揮発性メモリとを組み込み、CPUコアが内蔵不揮発性メモリ上の書き換えプログラムを実行することで、外部不揮発性メモリをシステム基板から取り外すことなくデータを書き換える手法が提案されている（例えば、特許文献2参照）。

【0005】

【特許文献1】

特開平9-231065号公報

【特許文献2】

特開平8-249016号公報

【0006】

【発明が解決しようとする課題】

外部不揮発性メモリに書き換えプログラムを書き込んでおく場合、ユーザが利用できる外部不揮発性メモリの記憶容量は、減少してしまう。ユーザの使用領域を確保するために、記憶容量の大きい外部不揮発性メモリを使用する場合、システムコストは増加してしまう。

マイクロプロセッサ内の内蔵不揮発性メモリに書き換えプログラムを内蔵する場合、CPUコアは、この書き換えプログラムをいつでもアクセスできる。このため、ノイズあるいはソフトウェアのバグ等により、書き換えプログラムが誤って実行される場合、不揮発性メモリのデータは、正しくないデータに書き換えら

れてしまう。この場合、システムはダウンする。

【0007】

本発明の目的は、マイクロコントローラに接続されるフラッシュメモリ等の電氣的に書き換え可能な外部不揮発性メモリのデータが、誤って書き換えられることを防止することにある。

本発明の別の目的は、マイクロコントローラに接続されるフラッシュメモリ等の電氣的に書き換え可能な外部不揮発性メモリのデータを、容易かつ確実に書き換えることにある。

【0008】

【課題を解決するための手段】

請求項1のマイクロコントローラでは、モード端子は通常動作モードおよび書き換えモードのいずれかを示すモード信号を受ける。内蔵不揮発性メモリには、書き換えモード中に実行されるプログラムが書き込まれている。CPUコアは、アドレス信号を順次生成するとともに、アドレス信号が第1領域を示すときに第1チップセレクト信号を活性化する。また、CPUコアは、書き換えモード中に内蔵不揮発性メモリに格納されているプログラムに基づいて書き換えデータを受信し、受信した書き換えデータを、マイクロコントローラに接続される電氣的に書き換え可能な外部不揮発性メモリに書き込む。

【0009】

第1セクタ回路は、モード信号を選択端子で受け、モード信号が通常動作モードを示すときに第1チップセレクト信号を外部不揮発性メモリに伝え、モード信号が書き換えモードを示すときに第1チップセレクト信号を内部不揮発性メモリに伝える。第1チップセレクト信号の供給先は、動作モードに応じて変更されるため、通常動作モード中、内部不揮発性メモリは、第1チップセレクト信号によって活性化されることはない。したがって、通常動作モード中に内部不揮発性メモリのプログラムが誤って実行され、外部不揮発性メモリのデータが書き換えられることを防止できる。

【0010】

請求項2のマイクロコントローラでは、マイクロコントローラは、CPUコア

によりアクセスされる内蔵揮発性メモリを有している。内蔵不揮発性メモリは、外部不揮発性メモリに書き込まれる書き換えデータを内部揮発性メモリに転送する転送プログラムと、外部不揮発性メモリに書き換えデータを書き込むための書き換えプログラムとを予め記憶している。CPUコアは、書き換えモード中に、転送プログラムを実行することで書き換えデータを受信し、書き換えプログラムを実行することで受信した書き換えデータを外部不揮発性メモリに書き込む。内部不揮発性メモリに転送プログラムと書き換えプログラムとを書き込んでおくことで、通常動作モードから書き換えモードに移行した後、外部不揮発性メモリのデータを迅速かつ容易に書き換えることができる。

【0011】

請求項3のマイクロコントローラでは、マイクロコントローラは、CPUコアによりアクセスされる内蔵揮発性メモリを有している。内蔵不揮発性メモリは、外部不揮発性メモリに書き込まれる書き換えデータと、外部不揮発性メモリに書き換えデータを書き込むための書き換えプログラムとを、内部揮発性メモリに転送する転送プログラムを予め記憶している。CPUコアは、転送プログラムを実行することで、書き換えデータおよび書き換えプログラムを内部揮発性メモリに転送し、内部揮発性メモリに転送された書き換えプログラムを実行することで、内部揮発性メモリに転送された書き換えデータを外部不揮発性メモリに書き込む。書き換えプログラムを予め内部不揮発性メモリに記憶しておく必要がないため、内部不揮発性メモリの記憶容量を小さくできる。この結果、マイクロコントローラのチップサイズを小さくでき、チップコストを削減できる。

【0012】

請求項4のマイクロコントローラでは、CPUコアは、外部不揮発性メモリへの書き換えデータの書き込み完了に応答してモード切替信号を出力する。セレクト制御回路は、モード切替信号を受けたときに、モード端子を介して入力されるモード信号を無効にし、第1セレクト回路の選択端子に通常動作モードを示すレベルを強制的に出力する。このため、マイクロコントローラの外部からのモード信号に依存せず、書き換えデータの書き込み後に動作モードを書き換えモードから通常動作モードに移行できる。CPUコアの制御により通常動作モードに復帰

できるため、CPUコアをリセットすることなく、外部不揮発性メモリに書き込まれた新たなデータをアクセスできる。

【0013】

請求項5のマイクロコントローラでは、マイクロコントローラは、第1および第2セクタ回路を有している。CPUコアは、アドレス信号が第2領域を示すときに第2チップセレクト信号を活性化する。第2セクタ回路は、モード信号を選択端子で受け、モード信号が通常動作モードを示すときに第2チップセレクト信号をマイクロコントローラに接続される外部揮発性メモリに伝える。第2セクタ回路は、モード信号が書き換えモードを示すときに第2チップセレクト信号を外部不揮発性メモリに伝える。換言すれば、通常動作モード中に第1および第2チップセレクト信号に応じて外部不揮発性メモリおよび外部揮発性メモリがそれぞれアクセス可能になり、書き換えモード中に第1および第2チップセレクト信号に応じて内部不揮発性メモリおよび外部不揮発性メモリがそれぞれアクセス可能になる。

【0014】

CPUコアは、書き換えモード中に第2チップセレクト信号により外部不揮発性メモリを直接アクセスできる。このため、第1および第2セクタ回路の切り替えるだけで、書き換えデータを外部不揮発性メモリに容易に書き込むことができる。

請求項6のマイクロコントローラでは、CPUコアは、外部不揮発性メモリへの書き換えデータの書き込み完了に応答してモード切替信号を出力する。セクタ制御回路は、モード切替信号を受けたときに、モード端子を介して入力されるモード信号を無効にし、第1および第2セクタ回路の選択端子に通常動作モードを示すレベルを強制的に出力する。このため、マイクロコントローラの外部からのモード信号に依存せず、書き換えデータの書き込み後に動作モードを書き換えモードから通常動作モードに移行できる。CPUコアの制御により通常動作モードに復帰できるため、CPUコアをリセットすることなく、外部不揮発性メモリに書き込まれた新たなデータをアクセスできる。

【0015】

請求項7のマイクロコントローラでは、インタフェース回路は、外部不揮発性メモリに書き込まれる書き換えデータを外部端子を介して受信する。CPUコアは、プログラムに基づいてインタフェース回路を制御して書き換えデータを受信する。マイクロコントローラは、インタフェース回路を形成することで、様々な形式または電圧レベルの書き換えデータを受信できる。例えば、直列並列変換機能を有するインタフェース回路を用いることで、外部端子を介して供給されるシリアルデータを、CPUコアのデータバス幅に対応する並列データに変換できる。また、TTLレベルで入力される書き換えデータをCMOSレベルに変換できる。

【0016】

請求項8のマイクロコントローラでは、マイクロコントローラは、CPUコアによりアクセスされる内蔵揮発性メモリを有している。CPUコアは、書き換えモード中に、書き換えデータをインタフェース回路を介して内蔵揮発性メモリに転送する。書き換えデータを内蔵揮発性メモリに一時記憶することで、書き換えデータの受信レートに依存せず、書き換えデータを外部不揮発性メモリに確実に書き込むことができる。換言すれば、書き換えデータが消失することを防止できる。

【0017】

請求項9のマイクロコントローラでは、CPUコアは、パワーオン時の最初に第1領域を示すアドレス信号を生成する。このため、書き換えモード中に、書き換えデータは、マイクロコントローラのパワーオンリセット直後に外部不揮発性メモリに書き込まれる。書き換えデータを、常に同じ状態（マイクロコントローラがリセットされた状態）で外部不揮発性メモリに書き込めるため、誤動作を防止できる。

【0018】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されている。頭に"/"が付く端子は、負論理を示している。

図1は、本発明のマイクロコントローラの第1の実施形態を示している。この

マイクロコントローラは、シリコン基板上にCMOSプロセスを使用してシングルチップマイクロコンピュータとして形成されている。

【0019】

マイクロコントローラは、CPUコア10、内蔵RAM12（内蔵揮発性メモリ）、シリアルインタフェース回路14、内蔵ROM16（内蔵不揮発性メモリ）、およびセクタ18、20、22を有している。マイクロコントローラを示す破線枠上の二重丸は、外部端子を示している。内蔵RAM12、シリアルインタフェース回路14および内蔵ROM16は、内部バスIBUSを介してCPUコア10に接続されている。

【0020】

CPUコア10は、チップセレクト信号XCS0（第1チップセレクト信号）およびチップセレクト信号XCS1（第2チップセレクト信号）を出力する。チップセレクト信号XCS0、XCS1は、負論理の信号であり、“論理0”のときに有効になり活性化状態を示す。チップセレクト信号XCS0、XCS1は、CPUコア10の内部で生成されるアドレス信号ADが第1領域および第2領域を示すときに、それぞれ活性化される。例えば、第1領域は、16進数の“00000”～“3FFFF”のアドレス信号ADに対応し、第2領域は、“40000”～“7FFFF”のアドレス信号ADに対応するように、CPUコア10に予め設定されている。CPUコア10は、パワーオン時に、アドレス信号AD=“000000”から順次アドレス信号ADを生成する。すなわち、パワーオン時の最初に、チップセレクト信号XCS0が活性化され、第1領域のデータ（プログラム）がフェッチされる。

【0021】

内蔵RAM12は、ワークメモリと使用されるとともに、後述するように、シリアルインタフェース回路14を介して入力される書き換えデータを一時保存するために使用される。書き換えデータは、フラッシュメモリ26に格納されるユーザプログラム（製品プログラム）である。内蔵RAM12は、CPUコア10が出力する図示しない別のチップセレクト信号に応じて、内部バスIBUSを介してアクセスされる。書き換えデータを内蔵RAM12に一時的に記憶することで、例えば、書き換えデータの受信レートに依存せず、かつ書き換えデータを失うこ

となく、書き換えデータをフラッシュメモリ 26（外部不揮発性メモリ）に確実に書き込むことができる。

【0022】

シリアルインタフェース回路 14 は、外部端子 I/O を介して外部からのシリアルデータを並列データに変換し、内部バス IBUS に出力する。シリアルインタフェース回路 14 は、例えば、TTL レベルの入力を、CMOS レベルに変換する。また、シリアルインタフェース回路 14 は、内部バス IBUS に伝達される並列データをシリアルデータに変換し、外部端子 I/O に出力する。

【0023】

シリアルインタフェース回路 14 は、メモリマップト I/O として割り当てられており、CPU コア 10 が実行するプログラムに応じて動作する。シリアルインタフェース回路 14 は、例えば、USB（Universal Serial Bus）コントローラ、または UART（Universal Asynchronous Receiver-Transmitter）である。この実施形態では、シリアルインタフェース回路 14 は、書き替えモード中に、外部端子 I/O を介してフラッシュメモリ 26 に書き込む書き換えデータを受信する。

【0024】

内蔵 ROM 16 は、書き替えモード中にフラッシュメモリ 26 に書き込まれるユーザプログラムをシリアルインタフェース回路 14 を介して内蔵 RAM 12 に転送する転送プログラムと、フラッシュメモリ 26 にユーザプログラムを書き込む書き換えプログラムとを予め記憶している。内蔵 ROM 16 は、内部バス IBUS を介して CPU コア 10 によりアクセスされる。

【0025】

内部バス IBUS は、アドレス信号 AD を伝達するアドレスバス、データ信号 DT を伝達するデータバス、および制御信号 CNT を伝達する制御バスにより構成されている。内部バス IBUS は、外部端子を介して外部バス EBUS に接続されている。外部バス EBUS には、システム基板上にマイクロコントローラとともに搭載される SRAM チップ 24（外部揮発性メモリ）およびフラッシュメモリチップ 26 が接続されている。

【 0 0 2 6 】

S R A M 2 4 は、ワークメモリとして使用される。フラッシュメモリ 2 6 は、C P U コア 1 0 が実行する製品の機能を実現するためのプログラムが格納される。なお、内部バス I B U S と外部バス E B U S の規格（入力電圧、出力電圧等）が異なる場合、内部バス I B U S および外部バス E B U S は、規格を合わせるためにバスインタフェース回路（図示せず）を介して接続されてもよい。

【 0 0 2 7 】

モード端子（モード信号）M D は、通常動作モード中（ユーザプログラムの実行中）に低レベルに設定され、フラッシュメモリ 2 6 にプログラムされたユーザプログラムを書き換える書き換えモード中に、マイクロコントローラを搭載するシステムにより高レベルに設定される。例えば、モード端子 M D は、マイクロコントローラが搭載されるシステム基板上に設けられたディップスイッチを切り替えることで高レベルに変化する。あるいは、モード端子 M D は、システム基板により実現される製品（例えば、デジタルカメラ、携帯電話等）の操作スイッチを所定時間押し続けることで高レベルに変化する。

【 0 0 2 8 】

セクタ 1 8、2 0、2 2 は、同じ回路であり、選択端子 S E L に供給されるモード信号 M D が低レベル（“論理 0”）のとき、入力端子 I N 0 に供給される信号を出力端子 O U T に出力し、モード信号 M D が高レベル（“論理 1”）のとき、入力端子 I N 1 に供給される信号を出力端子 O U T に出力する。セクタ 2 0、2 2 は、モード信号 M D が低レベルのときにチップセレクト信号 X C S 0 をフラッシュメモリ 2 6 に伝え、モード信号 M D が高レベルのときにチップセレクト信号 X C S 0 を内蔵 R O M 1 6 に伝える第 1 セクタ回路として動作する。セクタ 1 8、2 0 は、モード信号 M D が低レベルのときにチップセレクト信号 X C S 1 を S R A M 2 4 のチップセレクト端子 / C S に伝え、モード信号 M D が高レベルのときにチップセレクト信号 X C S 1 をフラッシュメモリ 2 6 のチップセレクト端子 / C S に伝える第 2 セクタ回路として動作する。

【 0 0 2 9 】

セクタ 1 8 は、モード信号 M D が低レベルのとき、C P U 1 0 からのチップセ

レクト信号XCS1をSRAM24のチップセレクト端子/CSに伝達し、モード信号MDが高レベルのとき、電源電圧VCC（高レベル）をSRAM24のチップセレクト端子/CSに伝達する。すなわち、SRAM24は、通常動作モード中（モード信号MD＝低レベル）、チップセレクト信号XCS1に応じて選択され、書き換えモード中（モード信号MD＝高レベル）、非選択にされる。

【0030】

セクタ20は、モード信号MDが低レベルのとき、チップセレクト信号XCS0をフラッシュメモリ26のチップセレクト端子/CSに伝達し、モード信号MDが高レベルのとき、チップセレクト信号XCS1をフラッシュメモリ26のチップセレクト端子/CSに伝達する。すなわち、フラッシュメモリ26は、通常動作モード中（モード信号MD＝低レベル）、チップセレクト信号XCS0に応じて選択され、書き換えモード中（モード信号MD＝高レベル）、チップセレクト信号XCS1に応じて選択にされる。

【0031】

セクタ22は、モード信号MDが低レベルのとき、電源電圧VCC（高レベル）を内蔵ROM16のチップセレクト端子/CSに伝達し、モード信号MDが高レベルのとき、チップセレクト信号XCS0を内蔵ROM16のチップセレクト端子/CSに伝達する。すなわち、内蔵ROM16は、通常動作モード中（モード信号MD＝低レベル）、非選択にされ、書き換えモード中（モード信号MD＝高レベル）、チップセレクト信号XCS0に応じて選択される。

【0032】

図2は、第1の実施形態の通常動作モード中と書き換えモード中におけるメモリマップを示している。ここでは、通常動作モード中の動作と、書き換えモード中の動作についても説明する。

通常動作モード中、モード信号MDは低レベルであるため、セクタ18、20、22により、チップセレクト信号XCS0、XCS1は、フラッシュメモリ26およびSRAM24にそれぞれ供給される。このため、第1領域には、フラッシュメモリ26が割り当てられ、第2領域には、SRAM24が割り当てられる。他の領域には、内蔵RAM12およびシリアルインタフェース回路14が割り当てられ

る。CPUコア10は、パワーオン時の最初に、フラッシュメモリ26に書き込まれているユーザプログラムをフェッチする。

【0033】

内蔵ROM16は、セクタ22から高レベルをチップセレクト端子/CSで受け、非活性化される。内蔵ROM16は、メモリマップ上に存在しないため、電源ノイズあるいはプログラムのバグによってもアクセスさせることはない。すなわち、通常動作モード中にフラッシュメモリ26の転送プログラムおよび書き換えプログラムが実行されることはない。

【0034】

モード信号MDが高レベルに変化し、動作モードが通常動作モードから書き換えモードに移行すると、セクタ18、20、22により、チップセレクト信号XCS0、XCS1は、内蔵ROM16およびフラッシュメモリ26にそれぞれ供給される。このため、第1領域には、内蔵ROM16が割り当てられ、第2領域には、フラッシュメモリ26が割り当てられる。SRAM24は、セクタ18からの高レベルをチップセレクト端子/CSで受け、非活性化される。このため、SRAM24は、メモリマップ上に存在しない。他の領域には、通常動作モード中と同様に内蔵RAM12およびシリアルインタフェース回路14が割り当てられる。マイクロコントローラが搭載されるシステム基板は、モード信号MDの高レベルへの変化とともに、CPUコア10のリセット端子（図示せず）にリセット信号を供給する。このため、CPUコア10は、リセット後の最初に、内蔵ROM16に書き込まれている転送プログラムをフェッチする。

【0035】

CPUコア10が実行する転送プログラムにより、フラッシュメモリ26の書き換えデータは、シリアルインタフェース回路14を介して内蔵RAM12に転送される。この後、CPUコア10が内蔵ROM16内の書き換えプログラムを実行することにより、書き換えデータは、フラッシュメモリ26に書き込まれる。より詳細には、書き換えプログラムにより、フラッシュメモリ26の全領域のデータが一括消去され、この後、書き換えデータがフラッシュメモリ26に書き込まれる。

【0036】

マイクロコントローラのパワーオンリセット直後に転送プログラムを実行することで、マイクロコントローラを常に同じ状態にして、書き換えデータをフラッシュメモリ 26 に書き込みできる。このため、誤動作および誤書き込みを防止できる。

上述したように、書き換えモード中、チップセレクト信号XCS1は、セクタ 20 によりフラッシュメモリ 26 のチップセレクト端子/CSに供給される。すなわち、セクタ 20 の切り替え動作により、フラッシュメモリ 26 をSRAM 24 の代わりにメモリマップ上に存在させることができる。このため、CPUコア 10 は、書き換えデータを容易にフラッシュメモリ 26 にプログラムすることができる。

【0037】

フラッシュメモリ 26 へのデータの書き換え動作の完了後、操作者の操作により、マイクロコントローラまたはシステム基板の電源が再投入される（再パワーオン）。システム基板のパワーオンリセット中に、モード信号MDは、高レベルから低レベルに変化され、動作モードは、書き換えモードから通常動作モードに戻る。

【0038】

そして、CPUコア 10 は、フラッシュメモリ 26 に新たに書き込まれたユーザプログラムのフェッチを開始する。

以上、第 1 の実施形態では、セクタ 22 の切り替えにより、内蔵ROM 16 が、通常動作モード中にチップセレクト信号XCS0により活性化されることを禁止することで、通常動作モード中に内蔵ROM 16 内の転送プログラムおよび書き換えプログラムが誤って実行され、フラッシュメモリ 26 のユーザプログラムが書き換えられることを防止できる。

【0039】

内蔵ROM 16 に転送プログラムおよび書き換えプログラムを予め書き込んでおくことで、通常動作モードから書き換えモードに移行した後、フラッシュメモリ 26 のユーザプログラムを迅速かつ容易に書き換えることができる。

書き換えモード中に、セクタ回路 20 によりチップセレクト信号 XCS1 をフラッシュメモリ 26 に供給することで、CPU コア 10 は、書き換えモード中にフラッシュメモリ 26 を直接アクセスできる。このため、ユーザプログラムをフラッシュメモリ 26 に容易に書き込むことができる。

【0040】

図 3 は、本発明の半導体メモリの第 2 の実施形態を示している。第 1 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、マイクロコントローラは、第 1 の実施形態に加えて、さらに制御レジスタ 28 およびセクタ制御回路 30 を有している。その他の構成は、第 1 の実施形態と同じである。

【0041】

制御レジスタ 28 は、メモリマップト I/O として割り当てられており、所定のアドレス信号 AD により選択される。CPU コア 10 は、書き換えモード中に、フラッシュメモリ 26 への書き換えデータの書き込み完了に応答して、制御レジスタ 28 に高レベル（“論理 1”）を書き込む。高レベルの書き込みは、CPU コア 10 がデータ信号 DT をモード切替信号として制御レジスタ 28 に出力することで行う。制御レジスタ 28 は、CPU コア 10 からの高レベルの書き込みに同期して、モード切替信号 SW（高レベル）をセクタ制御回路 30 に出力する。

【0042】

セクタ制御回路 30 は、高レベルのモード切替信号 SW に応答して、モード端子 MD を介して入力されるモード信号 MD をセクタ 18、20、22 にモード信号 MD1 として供給することを禁止し、モード信号 MD1 を強制的に高レベルから低レベルに変化させる。すなわち、セクタ制御回路 30 は、モード切替信号 SW に応答して、モード信号 MD を無効にし、動作モードを書き換えモードから通常動作モードに移行する。このため、書き換えデータの書き込み後、CPU コア 10 をリセットすることなく新しいユーザプログラムを実行できる。

【0043】

図 4 は、第 2 の実施形態の通常動作モード中と書き換えモード中におけるメモ

リマップを示している。メモリマップは、制御レジスタ 28 が新たに追加されることを除き、第 1 の実施形態と同じである。但し、内蔵 ROM 16 および内蔵 RAM 12 に格納されるデータは、第 1 の実施形態と異なる。ここでは、書き換えモード中の動作についても説明する。通常動作モード中の動作は、第 1 の実施形態と同じであるため、説明を省略する。

【0044】

モード信号 MD が高レベルに変化し、動作モードが通常動作モードから書き換えモードに移行すると、第 1 の実施形態と同様に、第 1 領域には、内蔵 ROM 16 が割り当てられ、第 2 領域には、フラッシュメモリ 26 が割り当てられる。SRAM 24 は、セクタ 18 からの高レベルをチップセレクト端子/CS で受け、非活性化される。CPU コア 10 は、第 1 の実施形態と同様に、システム基板から供給されるリセット信号に応答するリセット後の最初に、内蔵 ROM 16 に書き込まれている転送プログラムをフェッチする。

【0045】

CPU コア 10 が実行する転送プログラムにより、フラッシュメモリ 26 の書き換えデータおよびこの書き換えデータをフラッシュメモリ 26 に書き込む書き換えプログラムは、シリアルインタフェース回路 14 を介して内蔵 RAM 12 に転送される。書き換えプログラムをマイクロコントローラの外部から入力することで、内蔵 ROM 16 の記憶容量は、小さくなる。また、書き換えプログラムのバージョンアップに容易に対応できる。この後、CPU コア 10 が内蔵 RAM 12 内の書き換えプログラムを実行することで、書き換えデータは、フラッシュメモリ 26 に書き込まれる。

【0046】

フラッシュメモリ 26 へのデータの書き換え動作の完了後、CPU コア 10 は、制御レジスタ 28 に高レベルを書き込む。セクタ制御回路 30 は、制御レジスタ 28 からの切替信号 SW を受け、モード信号 MD1 を高レベルから低レベルに変化させる。モード信号 MD1 の変化により、動作モードは、書き換えモードから通常動作モードに移行し、アドレスマップの第 1 領域および第 2 領域には、フラッシュメモリ 26 および SRAM 24 が割り当てられる。

【0047】

CPUコア10は、制御レジスタ28への書き込み直後にアドレスAD="00000"にジャンプする。そして、CPUコア10は、パワーオンリセットされることなく、フラッシュメモリ26内の新たなユーザプログラムのフェッチを開始する。

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、書き換えモード中に、書き換えデータおよびこの書き換えデータをフラッシュメモリ26に書き込むための書き換えプログラムを、マイクロコントローラの外部から内蔵RAM12に転送する。このため、内蔵ROM16は、書き換えプログラムを記憶する必要はない。したがって、内蔵ROM16の記憶容量を小さくでき、マイクロコントローラのチップサイズを小さくでき、チップコストを削減できる。

【0048】

フラッシュメモリ26へのユーザプログラムの書き込み完了に応答して、CPUコア10は、セクタ18、20、22に供給されるモード信号MD1を、モード端子MDに供給されるレベルにかかわらず強制的に低レベルに変化させる。このため、CPUコア10自身の制御により、書き換えモードから通常動作モードに復帰させることができる。したがって、CPUコア10をリセットすることなく、ユーザプログラムの書き換え後即座にフラッシュメモリ26に書き込まれた新たなユーザプログラムを実行できる。

【0049】

なお、上述した第1の実施形態では、シリアルインタフェース回路14を介して供給される書き換えデータを内蔵RAM12に一時的に保持する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、書き換えデータをSRAM24（外部揮発性メモリ）に一時的に保持してもよい。

上述した実施形態では、本発明をフラッシュメモリ26のデータの書き換えに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をEEPROM等の他の電氣的に書き換え可能な不揮発性メモリのデータの書き換えに適用してもよい。

【0050】

上述した実施形態では、フラッシュメモリ 26 にユーザプログラムを書き込む例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、フラッシュメモリ 26 にユーザプログラムだけでなく、ユーザプログラムで使用するデータを書き込んでもよい。

上述した実施形態では、書き換えデータの受信に、USBコントローラまたはUART等のシリアルインタフェース回路 14 を用いる例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、並列データのインタフェース回路を用いてもよい。インタフェース回路は、電気インタフェースに限らず、光インタフェースでもよい。

【0051】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【0052】**【発明の効果】**

請求項 1 のマイクロコントローラでは、通常動作モード中、内部不揮発性メモリは、第 1 チップセレクト信号によって活性化されることはないため、通常動作モード中に内部不揮発性メモリのプログラムが誤って実行され、外部不揮発性メモリのデータが書き換えられることを防止できる。

請求項 2 のマイクロコントローラでは、通常動作モードから書き換えモードに移行した後、外部不揮発性メモリのデータを迅速かつ容易に書き換えることができる。

【0053】

請求項 3 のマイクロコントローラでは、書き換えプログラムを予め内部不揮発性メモリに記憶しておく必要がないため、内部不揮発性メモリの記憶容量を小さくできる。この結果、マイクロコントローラのチップサイズを小さくでき、チップコストを削減できる。

請求項 4 および請求項 6 のマイクロコントローラでは、マイクロコントローラ

の外部からのモード信号に依存せず、書き換えデータの書き込み後に動作モードを書き換えモードから通常動作モードに移行できる。CPUコアの制御により通常動作モードに復帰できるため、CPUコアをリセットすることなく、外部不揮発性メモリに書き込まれた新たなデータをアクセスできる。

【0054】

請求項5のマイクロコントローラでは、第1および第2セクタ回路の切り替えるだけで、書き換えデータを外部不揮発性メモリに容易に書き込むことができる。

請求項7のマイクロコントローラでは、インタフェース回路を形成することで、様々な形式または電圧レベルの書き換えデータを受信できる。

【0055】

請求項8のマイクロコントローラでは、書き換えデータを内蔵揮発性メモリに一時記憶することで、書き換えデータの受信レートに依存せず、書き換えデータを外部不揮発性メモリに確実に書き込むことができる。

請求項9のマイクロコントローラでは、書き換えデータを、常にマイクロコントローラがリセットされた状態で外部不揮発性メモリに書き込めるため、誤動作を防止できる。

【図面の簡単な説明】

【図1】

本発明のマイクロコントローラの第1の実施形態を示すブロック図である。

【図2】

第1の実施形態のメモリマップを示す説明図である。

【図3】

本発明のマイクロコントローラの第1の実施形態を示すブロック図である。

【図4】

第2の実施形態のメモリマップを示す説明図である。

【符号の説明】

10 CPUコア

12 内蔵RAM

1 4 シリアルインタフェース回路

1 6 内蔵 R O M

1 8、2 0、2 2 セレクタ

2 4 S R A M

2 6 フラッシュメモリ

2 8 制御レジスタ

3 0 セレクタ制御回路

A D アドレス信号

C N T 制御信号

D T データ信号

E B U S 外部バス

I B U S 内部バス

I / O 外部端子

M D モード端子、モード信号

S E L 選択端子

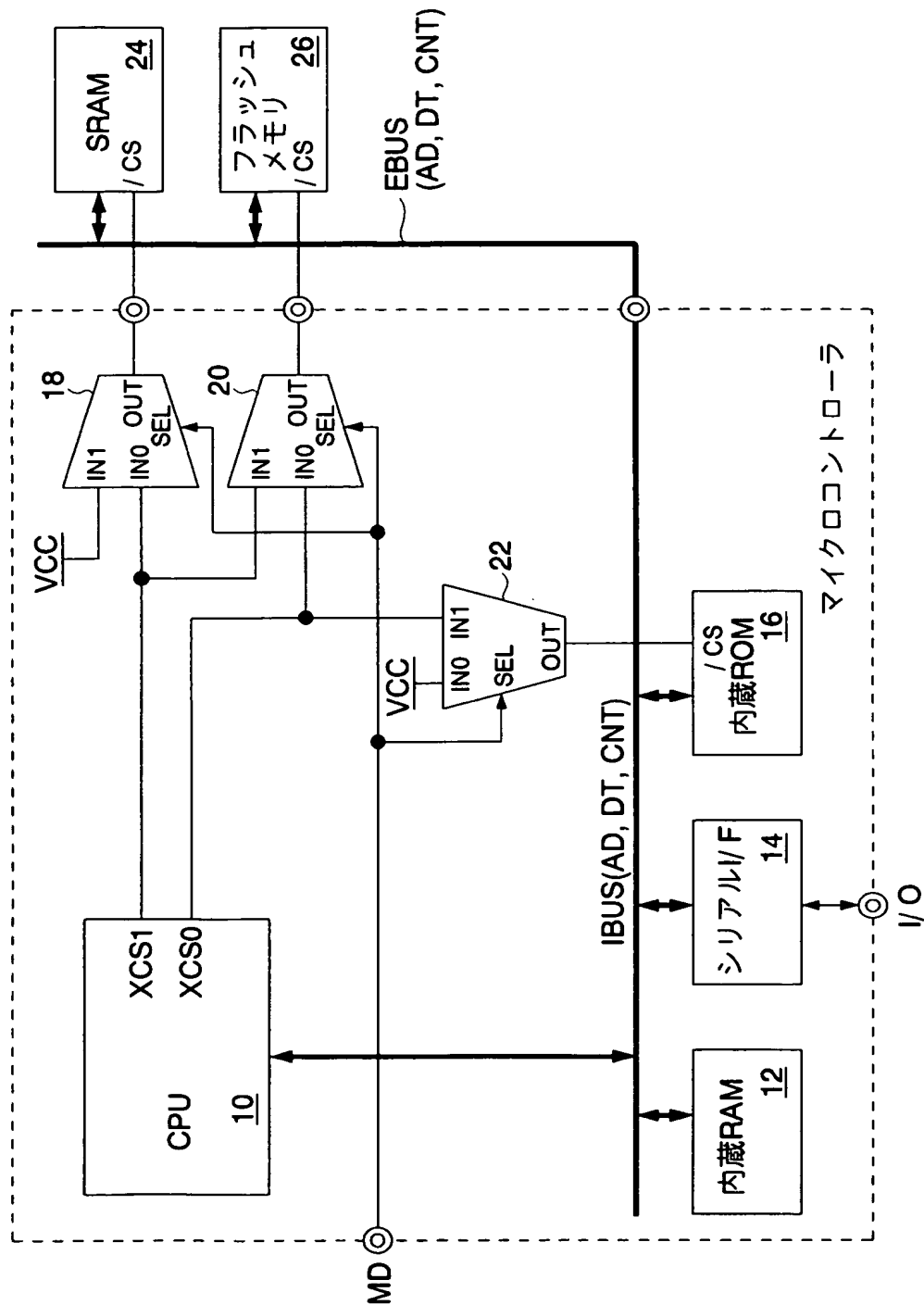
X C S 0、X C S 1 チップセレクト信号

【書類名】

図面

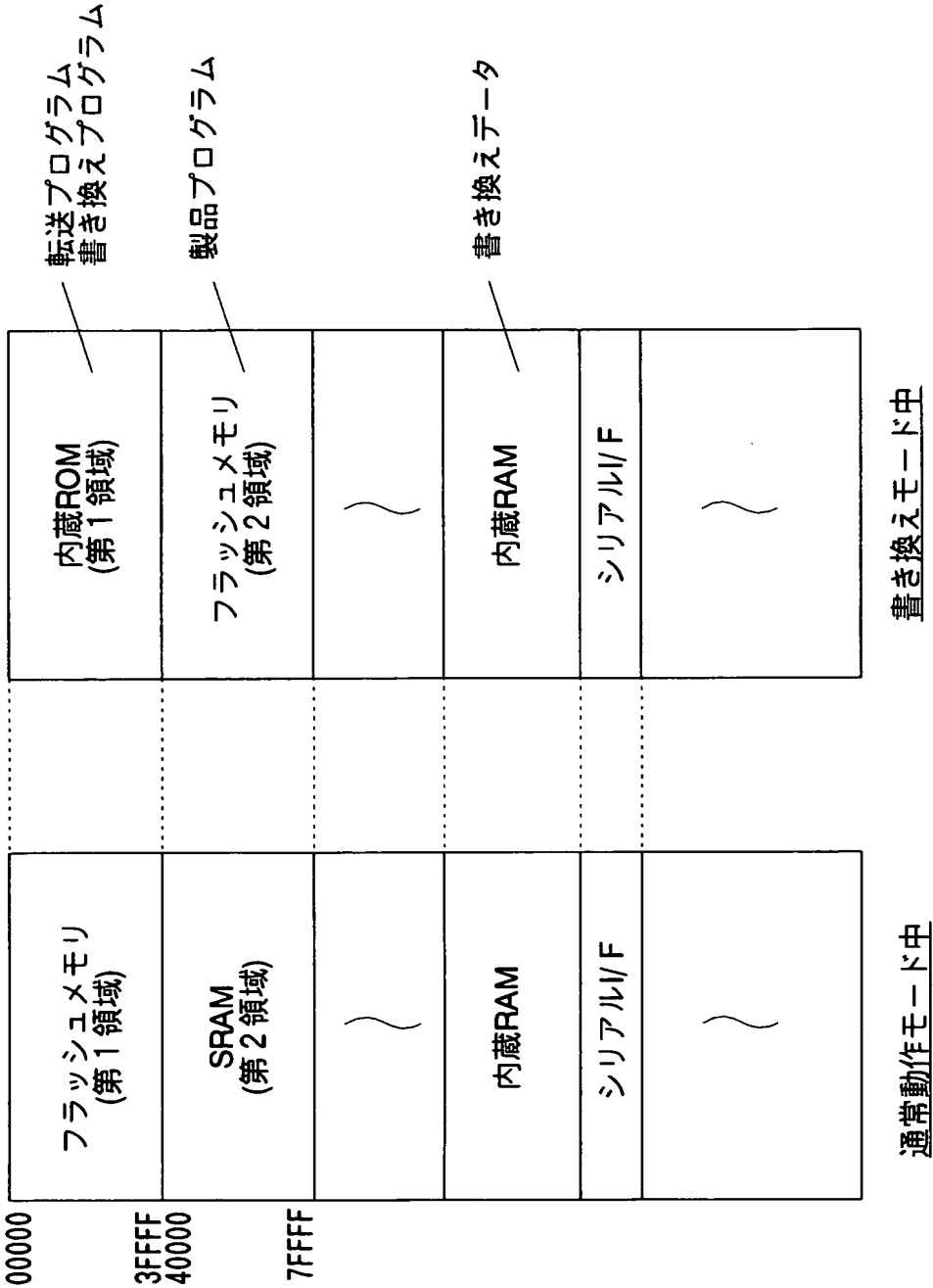
【図 1】

第 1 の実施形態を示すブロック図

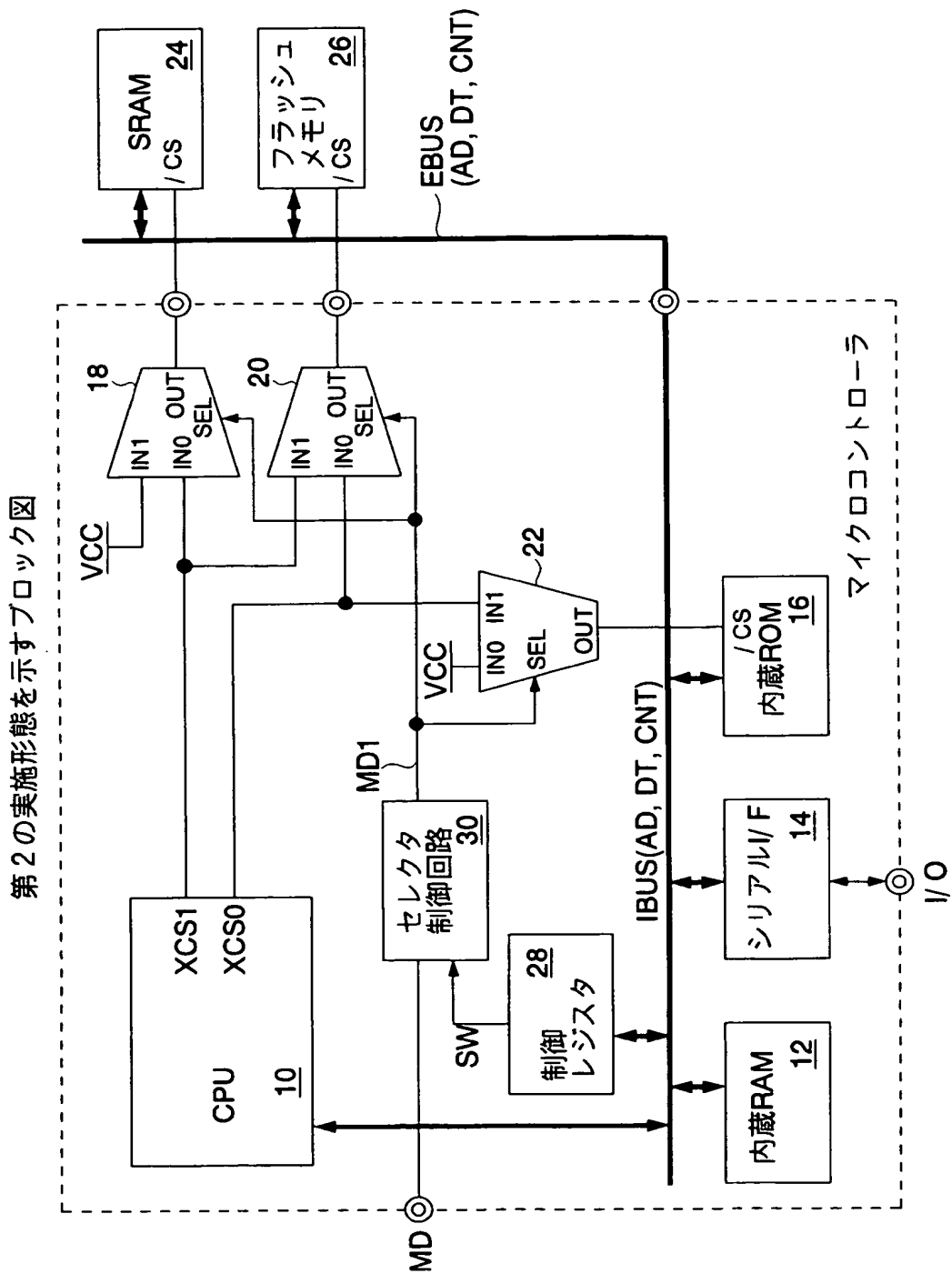


【図 2】

第 1 の実施形態のメモリマップを示す説明図

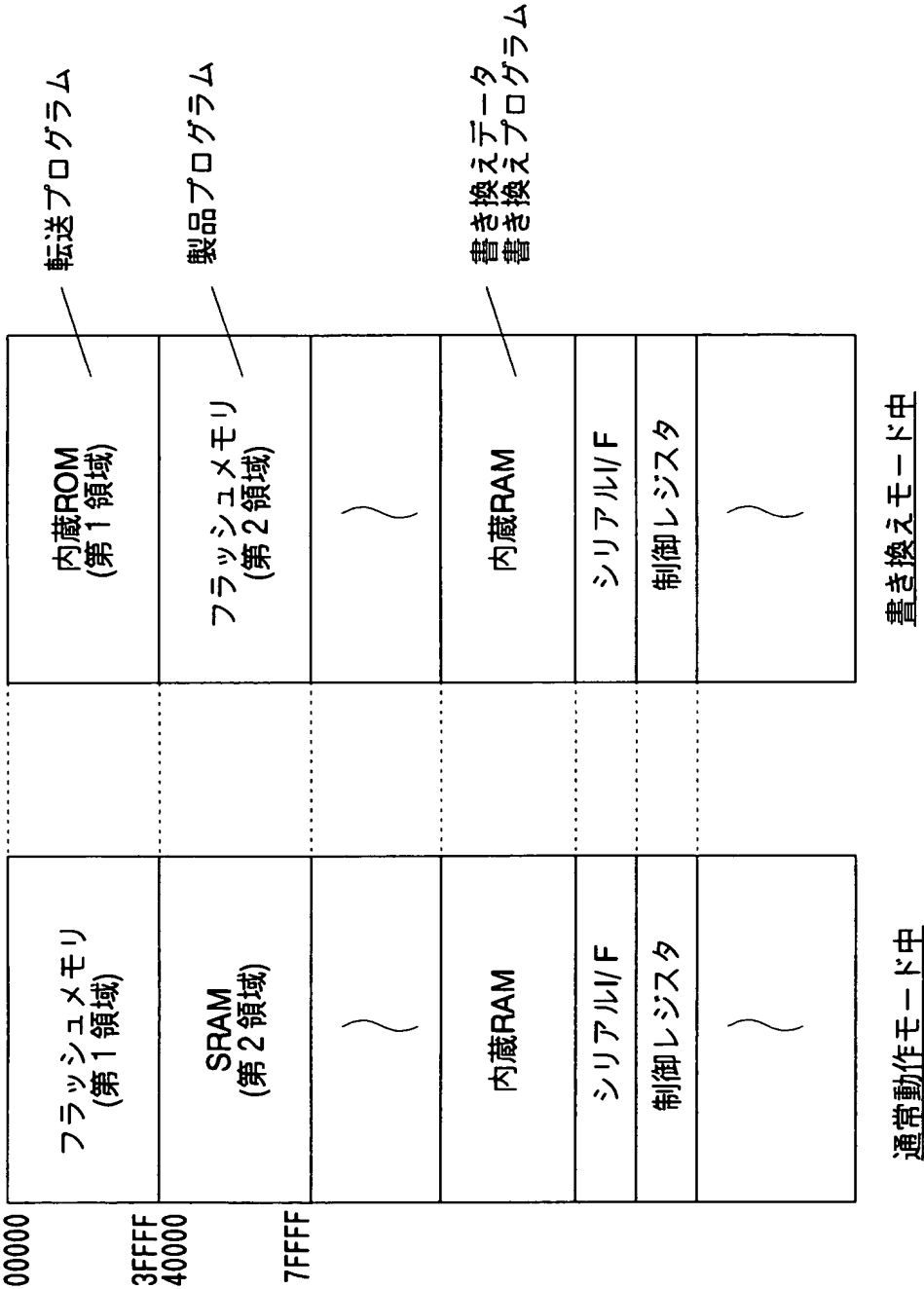


【図 3】



【図 4】

第 2 の実施形態のメモリマップを示す説明図



【書類名】 要約書

【要約】

【課題】 マイクロコントローラに接続される外部不揮発性メモリのデータが、誤って書き換えられることを防止する。

【解決手段】 内蔵不揮発性メモリには、書き換えモード中に実行されるプログラムが書き込まれている。CPUコアは、書き換えモード中に、内蔵不揮発性メモリ内のプログラムに基づいて、受信した書き換えデータを外部不揮発性メモリに書き込む。第1セレクト回路は、モード信号が通常動作モードを示すときに第1チップセレクト信号を外部不揮発性メモリに伝え、モード信号が書き換えモードを示すときに第1チップセレクト信号を内部不揮発性メモリに伝える。通常動作モード中、内部不揮発性メモリは活性化が禁止されるため、通常動作モード中に内部不揮発性メモリのプログラムが誤って実行され、外部不揮発性メモリのデータが書き換えられることを防止できる。

【選択図】 図 1

特願 2 0 0 3 - 1 8 6 5 1 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社